

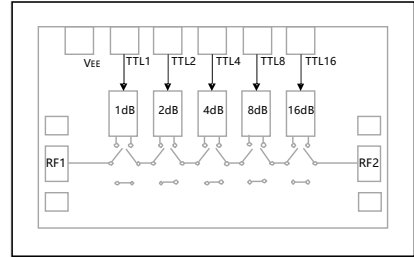
性能特点

- 工作频段：DC~40GHz
- 低插损：4.0dB@DC~20GHz (typ)
5.3dB@20~30GHz (typ)
6.4dB@30~40GHz (typ)
- 衰减范围：31dB
- 芯片尺寸：2.453*1.26*0.1mm

典型应用

- 移动基础设施
- 卫星通信
- 微波
- 仪器仪表

功能框图



概述

HX40440为一款五位数控衰减器芯片，频率范围覆盖DC~40GHz，插入损耗低于6.4dB典型值。衰减精度高，衰减步进1dB，-5V偏置电压。

电性能表 (TA=+25°C, VEE=-5V, VCTL=0/+5V)

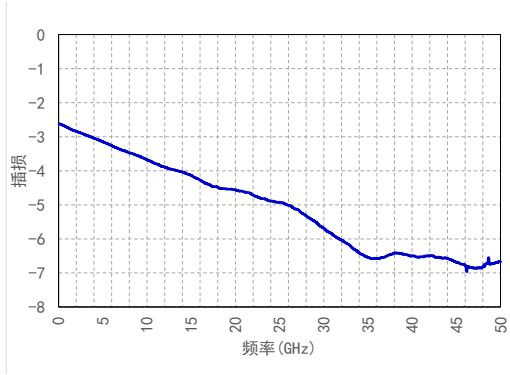
参数名称	工作条件	最小值	典型值	最大值	单位
频率范围		DC~40			GHz
插损	DC~20GHz		4.0		dB
	20GHz~30GHz		5.3		dB
	30GHz~40GHz		6.4		dB
衰减范围	DC~40GHz		31.0		dB
衰减精度 (以插损为参考)	DC~18GHz	-(0.2+2.5% of Atten. Setting) Max			dB
	18GHz~32GHz	-(0.2+6% of Atten. Setting) Max			dB
	32GHz~40GHz	-(0.2+8% of Atten. Setting) Max			dB
回波损耗 (RF1&RF2, 主状态)	DC~40GHz		15		dB
偏置电压 (VEE)			-5		V
偏置电流 (IEE)	DC~40GHz		5		mA
控制电流			0.1		mA
输入0.1dB压缩点功率 (PO.1dB)	DC~40GHz		TBD		dBm
上升下降时间(10/90% RF)	DC~40GHz		38		ns
开启时间. 关断时间 (50% CTL to 10/90% RF)	DC~40GHz		80		ns

注:1、如果使用时, 射频输入/输出两端为0V电压, 则不需要在射频输入/输出加隔直电容, 否则需要加隔直电容。隔直电容的大小根据频率的使用范围而定。

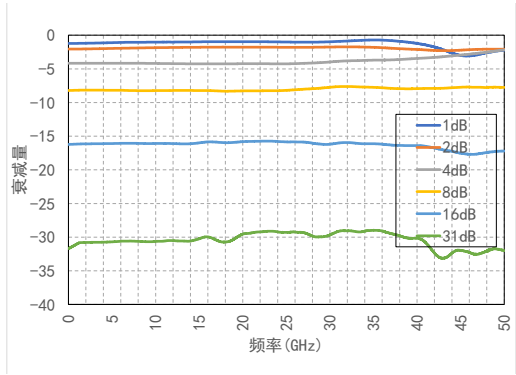
2、若芯片控制端与电源端外接静电环境较差(如电源端直接外接电源, 反复对控制端外接电源加电, 电源与控制端加电瞬间过冲较大等情况)。建议使用时在电源端与控制端**外接防静电二极管**(控制端加上防静电二极管后对切换时间的影响需要进行仿真, 以判断是否满足需求)。

测试曲线

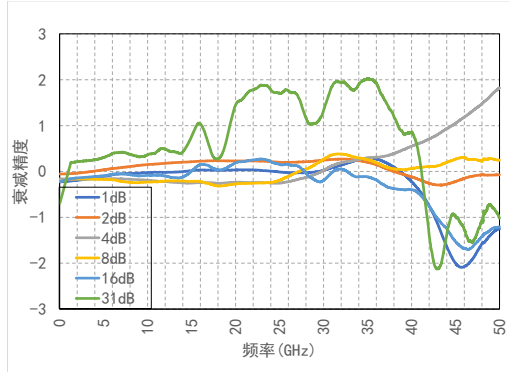
插损VS频率



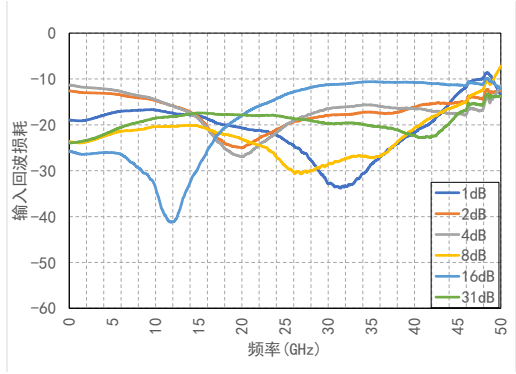
衰减量VS频率



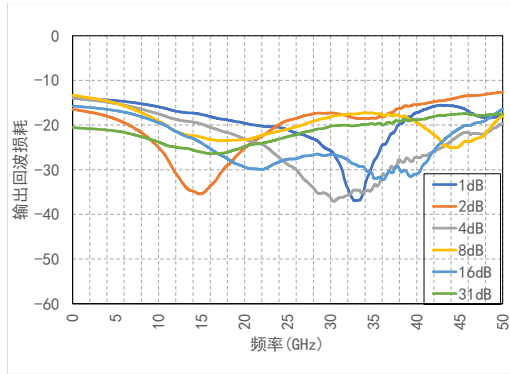
衰减精度VS频率



输入回波损耗VS频率



输出回波损耗VS频率



工作参数

偏置电压 V_{EE}	-5V
控制电压 V_{CTL}	0V~0.8V (Low) 3V~5V (High)
工作温度	-40°C~+85°C

控制端口: 16dB、8dB、4dB、2dB、1dB

绝对最大额定值

射频输入功率	+25dBm
偏置电压 V_{EE}	-6V
控制电压 V_{CTL}	- V_{EE} +0.5V
存储温度	-65°C~+150°C
ESD (HBM)	TBD

注意事项

1. 禁止试图用湿化学方法清洁芯片表面。
2. 本品属于静电敏感器件，储存和使用注意防静电。
3. 干燥、氮气环境储存。



真值表

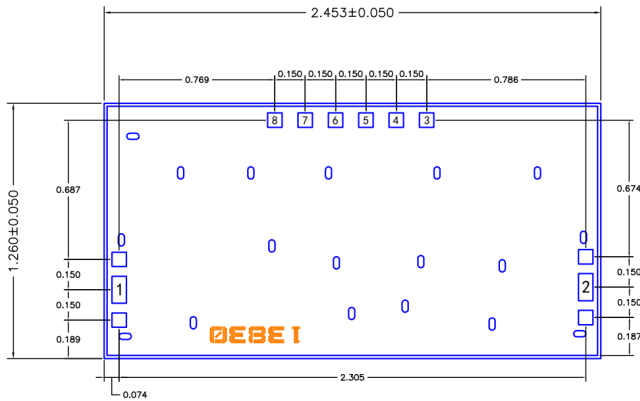
V_{EE}	控制端口					衰减状态
-5V	TTL1	TTL2	TTL4	TTL8	TTL16	RF1到RF2
	+5V	+5V	+5V	+5V	+5V	直通态
	0	+5V	+5V	+5V	+5V	1dB
	+5V	0	+5V	+5V	+5V	2dB
	+5V	+5V	0	+5V	+5V	4dB
	+5V	+5V	+5V	0	+5V	8dB
	+5V	+5V	+5V	+5V	0	16dB
	0	0	0	0	0	31dB

引脚定义

压点编号	功能符号	功能描述
1	RF1	射频端口1, 无隔直电容
2	RF2	射频端口2, 无隔直电容
3, 4, 5, 6, 7	TTL16, TTL8, TTL4, TTL2, TTL1	控制端口
8	VEE	电源端口

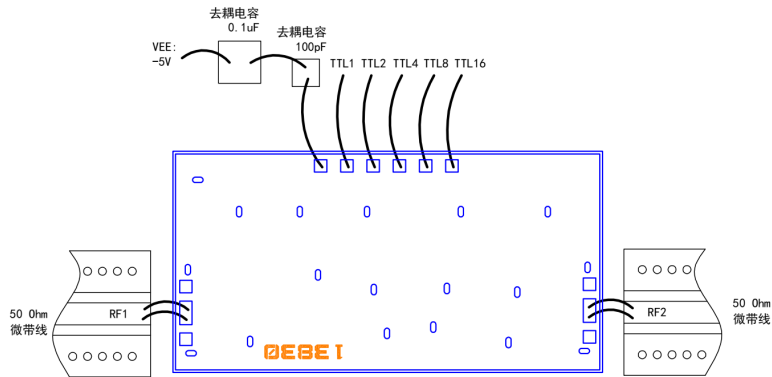
注：芯片RF端口为0电位，若外接端口同为0电位，可不加隔直电容。若外界端口不是0电位，则需要增加隔直电容

芯片外形尺寸



- 说明: 1. 单位: 毫米
 2. 键合压点镀金, 压点尺寸: 0.071*0.071 (mm) 与 0.071*0.134 (mm)
 3. 芯片厚度: 0.100±0.015mm
 4. 不能在通孔上进行键合, 未编号键合压点也不需要键合
 5. 芯片背面镀金
 6. 芯片背面接地

芯片装配图



- 说明: 1. 芯片背面接地, 粘接材料: 导电胶
 2. 芯片键合线材料: 1mil Au
 3. 图中所有键合线尽量短

注: 芯片RF端口为0电位, 若外接端口同为0电位, 可不加隔直电容。若外界端口不是0电位, 则需要增加隔直电容